

Delphion

RESEARCH INTEGRATED IAM SERVICES INSIDE DELPHION

Log Out Work Files Saved Searches My Account | Products | News | Events Search: Quick Number Boolean Advanced

The Delphion Integrated View

Buy Now: [More choices...](#)Tools: Add to Work File: [Create new Work](#)View: INPADOC | Jump to: [Top](#) Go to: [Derwent...](#)[Email](#)

Title: JP2240940A2: MANUFACTURE OF INTEGRATED CIRCUIT DEVICE

Country: JP Japan

Kind: A

Inventor: YUDA NAOKI;
TAKASE YOSHIHISA;
UENISHI MITSUAKI;

Assignee: MATSUSHITA ELECTRIC IND CO LTD
[News, Profiles, Stocks and More about this company](#)

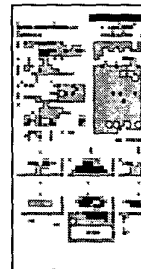
Published / Filed: Sept. 25, 1990 / March 15, 1989

Application Number: JP1989000062416

IPC Code: H01L 21/56; H01L 23/50;

Priority Number: March 15, 1989 JP1989000062416

Abstract:



PURPOSE: To prevent the displacement of an electrode and the occurrence of a thin burr on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

CONSTITUTION: One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 3 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1e of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1e of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a terminal face 1x for external connection by prepared. By this method, the displacement of the electrode and the occurrence of thin burrs are prevented.

COPYRIGHT: (C)1990,JPO&Japio

Family: None



(19)

(11) Publication number: **0**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **01062416**(51) Intl. Cl.: **H01L 21/56 H01L 23/50**(22) Application date: **15.03.89**

<p>(30) Priority:</p> <p>(43) Date of application publication: 25.09.90</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: MATSUSHITA ELECTRIC LTD</p> <p>(72) Inventor: YUDA NAOKI TAKASE YOSHIHISA UENISHI MITSUAKI</p> <p>(74) Representative:</p>
---	---

(54) MANUFACTURE OF INTEGRATED CIRCUIT DEVICE

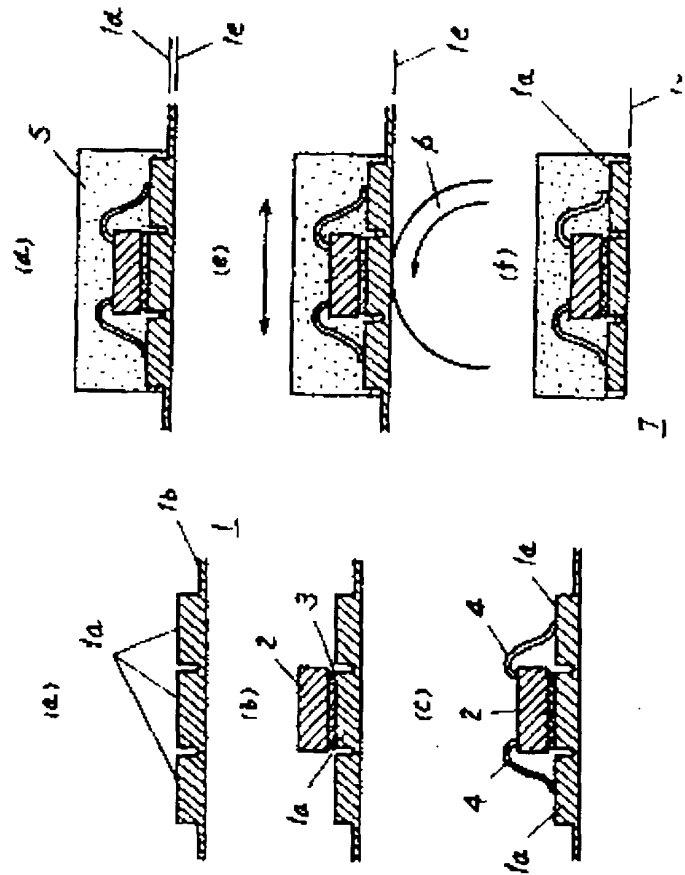
(57) Abstract:

PURPOSE: To prevent the displacement of an electrode and the occurrence of a thin burr on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

CONSTITUTION: One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 3 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding

and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1e of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1e of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a terminal face 1x for external connection by prepared. By this method, the displacement of the electrode and the occurrence of thin burrs are prevented.

COPYRIGHT: (C)1990,JPO&Japio

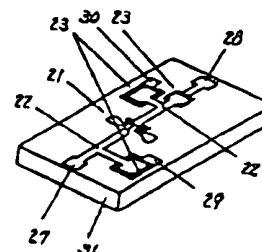


(54) MONOLITHIC MICROWAVE INTEGRATED CIRCUIT

(11) 2-240938 (A) (43) 25.9.1990 (19) JP
 (21) Appl. No. 64-61789 (22) 14.3.1989
 (71) MATSUSHITA ELECTRON CORP (72) KOJI TSUKADA(2)
 (51) Int. Cl.⁴ H01L21/338, H01L27/04, H01L27/095, H01L29/812

PURPOSE: To widen a band of low noise characteristics by forming a monolithic microwave integrated circuit of HEMT having an equivalent noise resistance of 5Ω or below and of a passive circuit element.

CONSTITUTION: In a monolithic microwave integrated circuit used for amplification of a microwave and others, the equivalent noise resistance of an active element is set to be 5Ω or below. By forming AlGaAs of a microwave integrated circuit element in two layers, G_m is increased to be 1.3 times larger than usual, while the equivalent noise resistance is decreased to be 5Ω or below at 12GHz. While a passive circuit element is made to be a distribution constant circuit formed of a wiring 22 and a capacitance 23 and is made to have a impedance conversion function, an active element formed of an inductance or FET, for instance, can be employed as well. A substrate 31 is made to be GaAs, or otherwise a substance of high permittivity, Si or the like is used. By this constitution, frequency characteristics in a wide band of low noise can be obtained.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 2-240939 (A) (43) 25.9.1990 (19) JP
 (21) Appl. No. 64-60811 (22) 15.3.1989
 (71) FUJITSU LTD (72) SHIGERU TERADA
 (51) Int. Cl.⁴ H01L21/56, H01L23/29, H01L23/31

PURPOSE: To improve the hardness of a polyimide film and the adhesion thereof to the ground by treating the polyimide film by a solution containing phenol, chlorobenzene and chloroethylene, at a temperature of 125°C or above and for 30 minutes or longer.

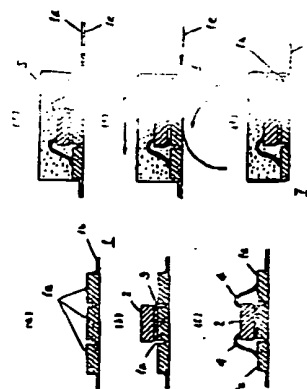
CONSTITUTION: A polyimide solution is applied on a silicon substrate and subjected to heat treatment to be hardened. A resist is applied thereon, and mask alignment, exposure and development are conducted to form a resist pattern. With the resist pattern used as mask, subsequently, a polyimide film is etched by using a polyimide etching liquid. Then, treatment is conducted at a temperature of 125°C or above and for 30 minutes or longer by using a resist peeling solution containing o-dichlorobenzene and tetrachlorethylene, so as to peel the resist. After the peeling of the resist, heat treatment is conducted and thereby a dry polyimide film is obtained. By this method, the hardness of the polyimide film and the adhesion thereof to the ground can be improved.

(54) MANUFACTURE OF INTEGRATED CIRCUIT DEVICE

(11) 2-240940 (A) (43) 25.9.1990 (19) JP
 (21) Appl. No. 64-62416 (22) 15.3.1989
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) NAOKI YUDA(2)
 (51) Int. Cl.⁴ H01L21/57, H01L23/50

PURPOSE: To prevent the displacement of an electrode and the occurrence of a void on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

CONSTITUTION: One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 2 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1c of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1c of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a terminal face is formed. By this method the



⑥ 公開特許公報(A) 平2-240940

⑧ Int. Cl.

識別記号

庁内整理番号

④ 公開 平成2年(1990)9月25日

H 01 L 21/56
23/50

H 6412-5F
A 7735-5F

審査請求 未請求 請求項の数 2 (全6頁)

④ 発明の名称 集積回路装置の製造方法

⑦ 特 願 平1-62416

⑦ 出 願 平1(1989)3月15日

⑦ 発 明 者	湯 田 直 毅	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦ 発 明 者	高 瀬 喜 久	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦ 発 明 者	上 西 光 明	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑦ 代 理 人	弁理士 栗 野 重 孝	外1名	

明 細 書

1. 発明の名称

集積回路装置の製造方法

2. 特許請求の範囲

(1) 基板状の支持部の一方向の面に凸状の電板を設けたリードフレームを用い、前記電板上に集積回路素子を搭載して集積回路装置を構成し、前記電板と前記集積回路素子とを接合体によって接続し、少なくとも前記集積回路素子と前記接合体とを剥離面にて覆った後に、前記支持部の他方の面を前記電板が露出するまで除去することによって、外部集積回路素子を用いる集積回路装置の製造方法。

(2) リードフレームをダイカストによって作成した特許請求の範囲第1項記載の集積回路装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、データを処理または記憶する集積回路素子を内蔵し、外部装置との間でデータの授受

ができるICカード等に用いられる集積回路装置に関するものである。

従来の技術

近年、マイクロコンピュータ、メモリ等の集積回路素子をプラスチック製カードに搭載または埋設したいわゆるICカードが実用化されつつある。

このICカードはすでに多量に使用されている。例えば、クレジットカードに比して記憶容量が大きく、また秘密保持の点に優れているため、金融関係、クレジット関係、医療関係など多くの分野で実用化されつつある。

このようなICカードは、塩化ビニル等のプラスチックカードに、リード・ライズの外部装置との接続素子を有する集積回路素子を搭載して構成されており、この集積回路素子は構造が簡単で寸法精度がよく、きわめて薄設にすることが必要とされる。このため集積回路装置は、金属薄板を所望する電板形状に形成したリードフレームを用いて作製されている。

以下に、集積回路装置の従来の製造方法について

て説明する。第7図は従来の製造方法に用いられるリードフレームの平面図であり、第8図(4)から(4)は従来の集積回路装置製造方法を示した第7図の断面図である。リードフレーム100は、金属基板をエッチングや打ち抜き等の方法によって所望する電極形状に加工したものであり、各電極100aはそれぞれの支持部100bによってリードフレームの外枠100cに支持されている。また、その断面は第8図(4)のようになっている。

第8図(4)に示す電極100aの一方の面100d上に接着剤102を塗布し、集積回路素子101をダイスボンディングして同図(4)の構成とする。次に、金細線103によって電極100aと集積回路素子101とをワイヤーボンディングして同図(4)とし、その後同図(4)のように電極100aの他方の面100eを外装接続用端子として露出し、集積回路素子101および金細線103を覆うように封止樹脂104を成形する。そして、最後にリードフレームの支持部100bを切断して集積回路装置

の外観を著しく損ねるだけでなく、リーダ・ライタ等の外装装置との間でデータの授受を行う際に誤りを生じさせる原因ともなるため、これらを如何にして抑えるかが従来技術の課題となっている。

本発明はこのような課題を解決するもので、外装接続用端子面において電極の変位や浮きが生じない集積回路装置の製造方法とすることを目的としている。

課題を解決するための手段

この目的を達成するために本発明は、平面状の基板の一方の面に凸状の電極を設けたリードフレームを用い、前記電極上に集積回路素子を接着剤で接着し、その後電極とこの集積回路素子とを金細線で接続し、その上を封止樹脂で覆い、その後、前記リードフレームの他方の面を前記電極が露出するまで除去することによって外部接続用端子を形成するものである。

作用

この製造方法では、電極は平面状の支持部の一方の面に凸状に形成されており、各電極が分離し

て200を得ている。(特開昭63-33063号公報)

発明が解決しようとする課題

しかしながら上記の製造方法では、リードフレーム100の各電極100aが分離しており、それぞれが個別の細い支持部によって支持されているため、取り扱いが困難であった。

また集積回路装置製造時にこの支持部がゆがめられ、完成した集積回路装置の外装接続用端子面において、電極が変位して封止樹脂104中に埋没あるいは突出したり、浮きの場合には二つの電極100aが接触したりするという問題点があった。

さらにこの製造方法では、ダイスボンディング工程や樹脂封止工程において接着剤102や封止樹脂104がはみ出した場合、それらが外部接続用端子表面に回り込み、浮きりとして残るという問題点もあった。

これらの、外部接続用端子面における電極100aの変位や浮きの発生は、集積回路装置

でないため、製造工程において電極の変位が生じることではなく、さらに集積回路素子の接着工程や樹脂封止工程において接着剤や封止樹脂が集積回路装置の外装接続用端子面に回り込むことがないため、浮きも発生しなくなる。

また、この外部接続用端子面は研磨によって作られるため、樹脂封止工程等において集積回路装置にたわみが生じた場合にも平坦な面に仕上げることができる。

実施例

実施例1

以下に本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の第1の実施例に用いられるリードフレームを示した斜視図であり、第2図(4)から(4)は集積回路装置の製造方法を示した第1図の断面図、第3図は外部接続用端子面を上方向に向けて、完成した集積回路装置を示した斜視図である。第1図から第3図において、1はリードフレーム、1aはその一方の面の凸状の電極、1b

は支持部、14は支持部1bの一方の面、1aは支持部1bの他方の面、1xは集積回路装置の外部接続用端子面、2は集積回路素子、3は絶着剤、4は金細線、5は封止樹脂、6は砥石、7は集積回路装置である。

まず、厚さ0.25mmの鉄系金属薄板の一方の面に電極部分を彫いて深さ0.1mmのハーフニングを施し、凸状の電極1aと平板状の電極支持部1bとを備えたリードフレーム1を作製した。

ただし電極1aの寸法は3.0mm×2.1mmとし、その配置はJ30(国際標準化機構)によって定められた規格に準拠した。次に、この電極1a上の所定の位置に塗布厚約30μmの絶縁性接着剤3を塗布し、この絶縁性接着剤3を介して厚さ0.22mm、サイズ5mm×4.5mmの集積回路素子2をダイスボンディングして搭載した。次に、図2に示す金細線4により所定の電極1aと集積回路素子2の入出力端子とをワイヤーボンディングして接続した。続いて、支持部1bの他方の面1aをトランスファ形成金型の下金型に当接し、エポキシ封止樹脂

6を注入して集積回路素子2、金細線4等を封止した。その後、炭化けい素系の砥石6を備えた平面研削盤によって支持部1bの他方の面1aを0.1mm研削した。これによって電極支持部1bが除去され、電極1aが分岐および露出して外部接続用端子面1xとなり、集積回路装置7が得られた。

この集積回路装置7の外部接続用端子面1xには、電極の変位および露びりは発生しなかった。さらに集積回路装置7は、封止樹脂成形時の収縮変化によって約30μm程度のたわみが生じたが、研削後の外部接続用端子面1xは凹凸が6μm以下に抑えられた平面となった。

完成した集積回路装置7の底厚は0.62mmで、外周寸法は横12mm、縦10mmであった。

実施例2

以下本発明の第2の実施例について説明をしながら説明する。

第4図は本発明の第2の実施例における製造方法において、リードフレームにダイスボンディング

びワイヤーボンディングを施した状態を示した斜視図、第5図は完成した集積回路装置の斜視図である。

第4図の第5図において、10はリードフレーム、10aは電極、10bは支持部、10cは支持部10bの一方の面、10dは支持部10bの他方の面、10xは外部接続用端子面、11は集積回路素子、12は金細線、13は封止樹脂、14は集積回路装置である。

本実施例では、圧入合金を金型中に納め、ダイカスト法により支持部10bおよび同心円状の電極10aを備えたリードフレーム10を作製した。そして、集積回路素子11をこの電極10aにダイスボンディングして、集積回路装置完成までの工程を第1の実施例と同様に行った。

この構成のように閉ループをなす電極の内側に別の電極を設ける場合、従来の製造方法では各電極の支持方法およびその支持部分の切断方法が問題となるが、本実施例の製造方法では、全ての電極10aが平板状の電極支持部10bの一方の面

で支持されており、この部分は樹脂封止後に平面研削によって除去されるためなんら問題は生じなかった。

さらに、この構成のように集積回路素子11を細い電極10a上にまたがってダイスボンディングする場合、接着剤が電極10a上からはみ出しやすくなる。従来の製造方法では、この接着剤のはみ出しが外部接続用端子面の露びりとなってあるため、このような位置にダイスボンディングすることは避けられていた。しかしながら本実施例の製造方法では、接着剤のはみ出しが特に問題とならないため、何ら支障なくダイスボンディングすることができた。

完成した集積回路装置10の底厚は1.0mmで、外周半径は12.5mmであった。また、第1の実施例の第1図に示すように外部接続用端子面10xには電極の変位および露びりの発生はなかった。さらにたわみによる凹凸も6μm以下となった。

このような同心円状の電極10aを備えた集積回路装置14は、リード・ライター等の外部装置に挿入する際に挿入方向に異なる変位が生じないため、

集積回路装置 14 を単体でコインのようにして使用することが可能となる。また集積回路装置 14 を中心からずらしてダイスバンドすることにより、ワイヤーバンド距離を短くすることができるとともに、信頼性が向上すると共に、コストを低下することができるとともに、さらに、リードフレーム 10 をダイカスト法によって形成するため製造性を向上するとともにできる。

なお、第1および第2の実施例において、第1リードフレーム1、10にメッキ処理は施さなかったが、リードフレームの腐食等を防止機構回路装置の寿命を延ばす目的で、支持部を除去した後、外部接続用端子面にメッキ等を施してもよい。

また、第1および第2の実験例において外部磁
場用電子面を算出させるために算出という機械的
な方法を用いたが、それ以外にエッチング等の化
学的方法を用いてもよい。

送男也送米

以上のように本発明は、凸状の電板を平面状の

支持部の一方向の面にだけ、この電極上に集積回路素子を無方向で配置し、樹脂封止した後、前記支持部の他方の面を前記電極が現われるまで除去して外部回路用素子を形成する製造方法であるため、外部回路用素子と電極の位置をよび添はりの生じない集積回路装置とを形成することができる。

また、封止樹脂成形時にたれみが生じた場合には、外装部既成に予めに平版に仕上げることができる。

さらに、特殊な電圧形状を用いる場合でもリードフレームの取り扱いが容易であり、特別な配圧をすることなしに受取回路装置を作製することができるものである。

4. 图例与说明

第1図は本発明の第1の実施例において用いられるリードフレームの形成図、第2図(4)~(5)は導回路設置の製造方法を示した断面図、第3図は完成した導回路基板の斜視図、第4図は本発明の第2の実施例における導回路設置の製造方法においてリードフレームにダイオードを溶接する

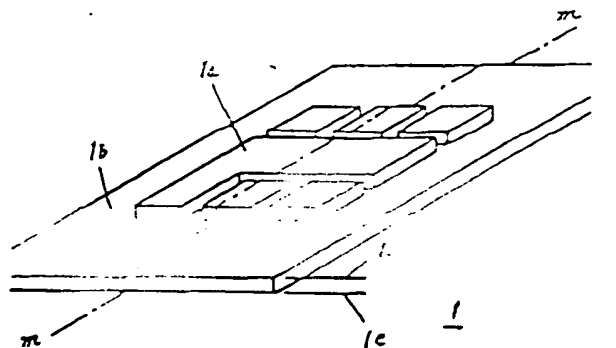
イヤードを示した図の状態を示した斜視図、第5図は完成した集積回路装置の斜視図、第6図は従来の集積回路装置の製造方法によつて得られるリードフレームの斜視図、第7図は従来の製造方法を示した断面図である。

１……リードフレーム、１２……電板、１３……
 ……支持部、１４……支持部１３の一方の面、１５……
 ……支持部１３の他方の面、１６……異接回路端子
 端子面、１７……異接回路端子、１８……対止部、
 ……金細線、１９……対止部、２０……電板、ア……
 ……異接回路接続、イの……リードフレーム、１０は
 ……電板、１０ｂ……支持部、１０ｃ……支持部
 の一方の面、１０ｄ……支持部の他方の面、１０ｅ……
 ……異接回路端子、１１……異接回路端子、
 １２……金細線、１３……対止部、１４……異
 接回路接続。

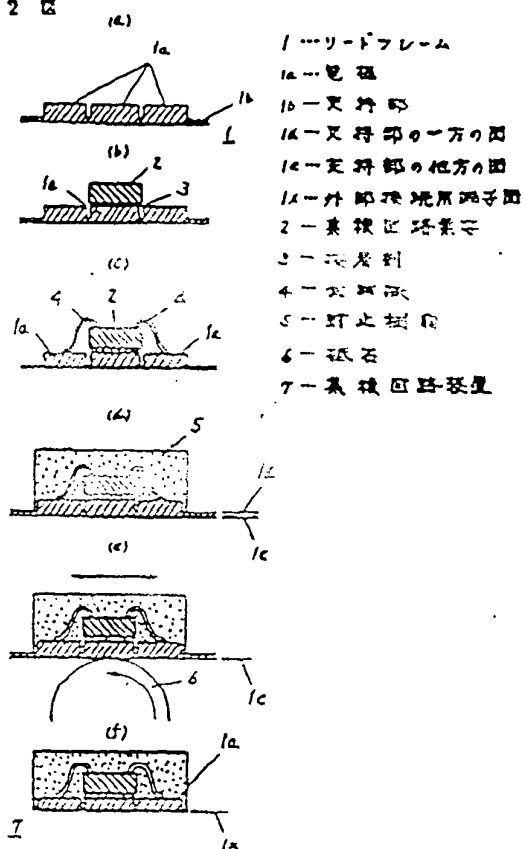
知人の心 北土界 月 年 日 時 分

1-リードフレーム
 14...電板
 15...支持部
 16...支持部の一方の面
 17...支持部の他方の面

18

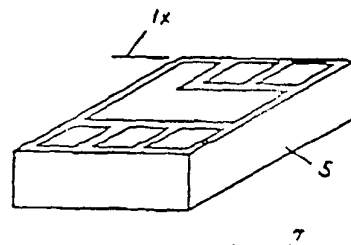


第 2 図



1x --- 外部接続用端子
 5 --- 封止樹脂
 7 --- 集積回路素子

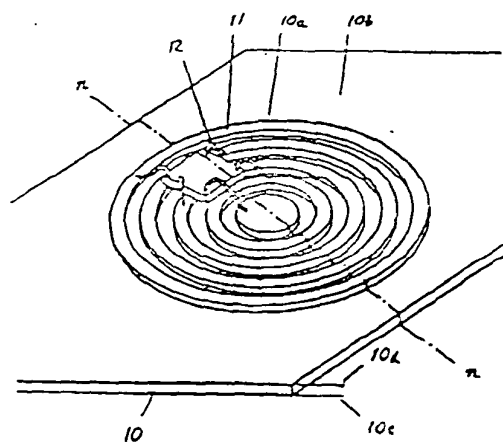
第 3 図



10 --- リードフレーム
 10a --- 電線
 10b --- 支持部
 10c --- 支持部の一方の面
 10d --- 支持部の他方の面
 11 --- 集積回路素子
 12 --- 全周環

10x --- 外部接続用端子
 13 --- 封止樹脂
 14 --- 集積回路素子

第 4 図



第 5 図

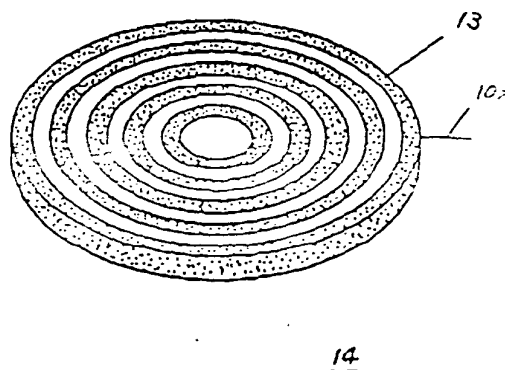


図 6

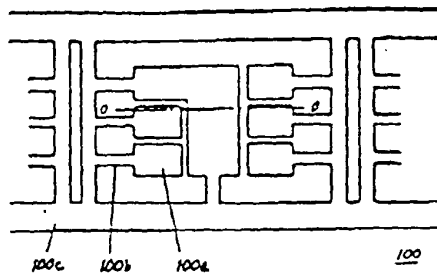


図 7

